

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Liu

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: January 20, 2004

Docket No. 250210-1040

For: **Test Method and Circuit for Testing Inter-Device
Connections of Field Programmable Gate Arrays**

**CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119**

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicant hereby claims priority to and the benefit of the filing date of Republic of China patent application entitled, "Test Method and Circuit for Testing Inter-Device Connections of Field Programmable Gate Arrays", filed January 24, 2003, and assigned serial number 92101571. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

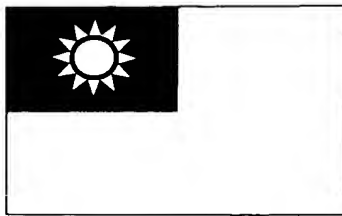
Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

By: 

Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 24 日
Application Date

申請案號：092101571
Application No.

申請人：明基電通股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 4 月 23 日
Issue Date

發文字號：09220404300
Serial No.

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

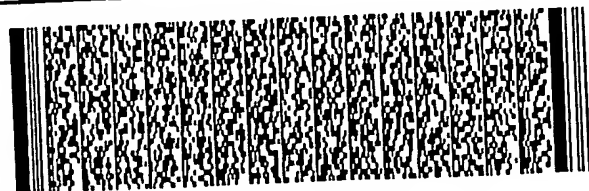
申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

用於直接在電路板上執行場式可程式開陣列元件間的連線測試的方法及電路

一、 發明名稱	中 文	
	英 文	TEST METHOD AND CIRCUIT FOR TESTING INTER-DEVICE CONNECTIONS OF FIELD PROGRAMMABLE GATE ARRAYS
二、 發明人 (共1人)	姓 名 (中文)	1. 劉芳斌
	姓 名 (英文)	1. Fang-Bin Liu
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣龜山鄉山鶯路一五七號
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 明基電通股份有限公司
	名稱或 姓 名 (英文)	1. BENQ Corporation
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉山鶯路一五七號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. K. Y. Lee



0535-8909TWE(N1)-A91208-SUE.pd

四、中文發明摘要 (發明名稱：用於直接在電路板上執行場式可程式閘陣列元件間的連線測試的方法及電路)

本發明提供一種用於直接在電路板上執行場式可程式閘陣列元件間的連線測試的方法及其電路，該方法可依匯流排寬度調整電路架構，如此，安裝在板子上的各場式可程式閘陣列元件(field programmable gate array, FPGA)，彼此間的連線是否正常，就可以很容易的被檢驗出來，甚至匯流排的品質、速度都可以用這個方法檢查好壞。由於FPGA具有可重複程式化的特點，因此可以在無任何額外花費下架構本發明電路。

伍、(一)、本案代表圖為：第___3a___圖

(二)、本案代表圖之元件代表符號簡單說明：

31、32～場式可程式閘陣列元件(FPGA)；

33～互斥閘；

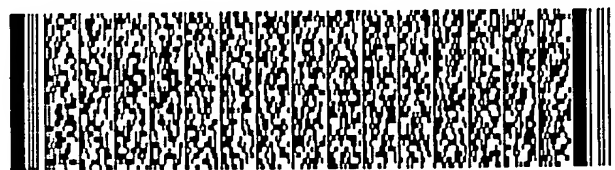
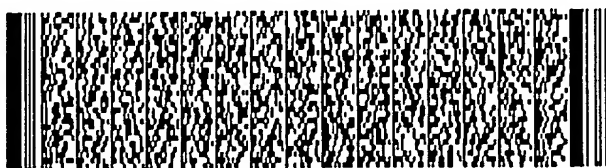
34～匯流排；

35～場式可程式閘陣列元件(FPGA)的接腳；

36～測試電路的輸出接腳；

陸、英文發明摘要 (發明名稱：TEST METHOD AND CIRCUIT FOR TESTING INTER-DEVICE CONNECTIONS OF FIELD PROGRAMMABLE GATE ARRAYS)

A test method and circuit for testing inter-device connections of on-board field programmable gate arrays (FPGAs). The test method adjusts the test circuit implementation such that an inter-device bus connection state of on-board FPGAs is tested to determine if the connection is in normal or abnormal, and even to test the inter-device bus quality and its operating rate



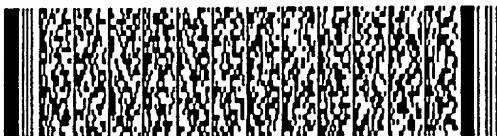
四、中文發明摘要 (發明名稱：用於直接在電路板上執行場式可程式閘陣列元件間的連線測試的方法及電路)

37 ~ 測試電路的輸入接腳；

38 ~ 暫存器。

陸、英文發明摘要 (發明名稱：TEST METHOD AND CIRCUIT FOR TESTING INTER-DEVICE CONNECTIONS OF FIELD PROGRAMMABLE GATE ARRAYS)

normal or abnormal. Due to re-programmable feature of the on-board FPGAs, the test circuit is configured without additional cost.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

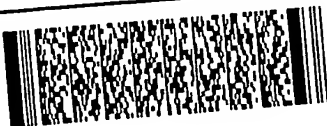
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明係有關於一種元件間的匯流排連線測試，尤其是一種用於直接在電路板上執行場式可程式開陣列元件間的連線測試的方法及電路，其可依匯流排寬度調整電路架構，讓板上的兩顆場式可程式開陣列元件(FPGA)間的連線是否正常，可以容易的被檢驗，甚至匯流排的品質、速度都可以利用這個方法及電路來檢查好壞。

先前技術

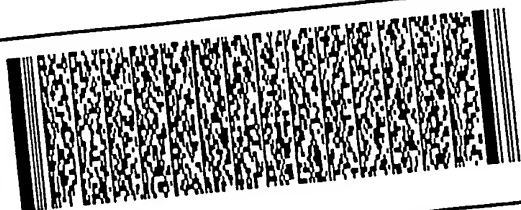
現今的FPGA晶片基於體積(主要體積問題為接腳)上的考量，大多以球開陣列封裝(Ball Grid Array, BGA)為主。雖然BGA封裝有體積小的優點，但也有接點好壞不易觀察的缺點。

目前對於FPAG中，BGA接點好壞的判定，大多是先利用X射線來檢查，之後，再使用影像判斷程式或人工來判定接點狀態。

在匯流排品質的判斷方面，一般只限於對電路板做連線測試，也就是量測兩點間是否有接通，對於其餘資訊則無法測知。

發明內容

因此，本發明之一目的為提供一種直接在電路板上執行場式可程式開陣列元件間的連線測試的方法及其電路，該方法可依匯流排寬度調整電路架構，如此，安裝在板子



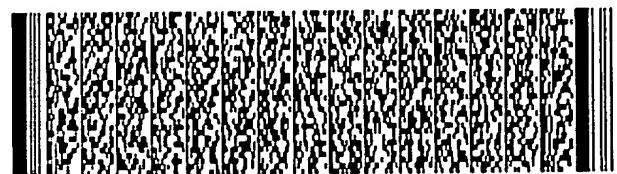
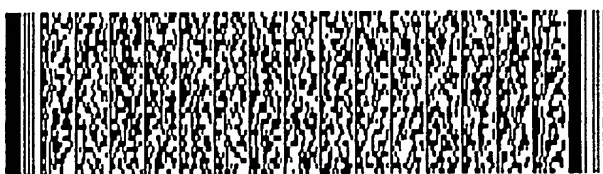
五、發明說明 (2)

上的各場式可程式閘陣列元件(field programmable gate array, FPGA)，彼此間的連線是否正常，就可以很容易的被檢驗出來，甚至匯流排的品質、速度都可以用這個方法及電路來檢查好壞。

本發明提供一種直接在電路板上執行場式可程式閘陣列元件間的連線測試的方法及電路，其利用線性回饋移位暫存器(linear feedback shift register, LFSR)所架構的測試電路，可以很容易瞭解連線狀況及匯流排品質。

上述測試方法主要包含：根據一預置的線性回饋移位暫存器(linear feedback shift register, LFSR)多項式，先在一第一場式可程式閘陣列元件(field programmable gate array, FPGA)上，配置一第一連接電路；接著，在一第二場式可程式閘陣列元件上，配置一第二連接電路，其中，該第二連接電路的接腳以一對一平行配置方式，與該第一連接電路的接腳相連接，以及，上述連接電路之一包含互斥閘(XOR gate)而另一連接電路包含一移位暫存器(shift register)，或者上述連接電路之一同時包含互斥閘(XOR gate)及一移位暫存器(shift register)；輸入一檢驗圖案(pattern)至該移位暫存器，以進行測試並產生一特定圖案，自該移位暫存器的輸出接腳輸出；檢測該特定圖案，以得知該第一及第二連接電路的連線狀態及相關資訊。上述移位暫存器是使用複數個D型正反器串接而成。

上述測試電路主要包含：一第一連接電路，連接至一



五、發明說明 (3)

第一場式可程式閘陣列元件(field programmable gate array, FPGA)；一包含一移位暫存器的第二連接電路，連接於一第二場式可程式閘陣列元件(field programmable gate array, FPGA)及該第一連接電路之間；其中，該第一連接電路及該第二連接電路係根據一預置的線性回饋移位暫存器(linear feedback shift register, LFSR)多項式(polynomial)來配置，以輸入一檢驗圖案至該移位暫存器，以進行測試並產生一特定圖案，接著再將該特定圖案自該移位暫存器的輸出接腳輸出，藉此得知該第一及第二連接電路的連線狀態及相關資訊。上述移位暫存器是由複數個D型正反器串接而成。上述連接電路之一包含互斥閘(XOR gate)，也就是該第一連接電路只包含互斥閘(XOR gate)而該第二連接電路只包含該移位暫存器(shift register)，或者，上述該第二連接電路同時包含互斥閘(XOR gate)及該移位暫存器(shift register)。

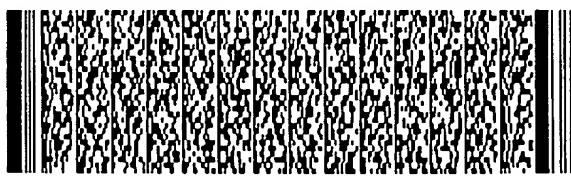
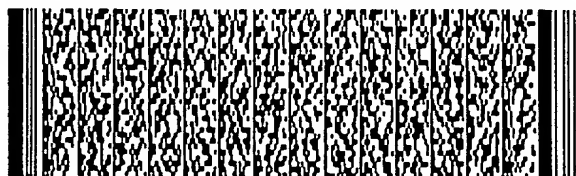
實施方式

全文中，類似功能元件以相同符號代表之。

一個線性回饋移位暫存器(linear feedback shift register, LFSR)多項式(polynomial)的電路架構可分為兩種組成形式：

型式1：外互斥閘式(Exclusive OR gates outside the Shift Register loop)，如第1a圖所示。

型式2：內互斥閘式(Exclusive OR gates inside the



五、發明說明 (4)

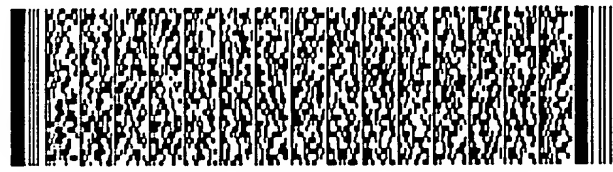
Shift Register chain)，如第1b圖所示。

基本上，LFSR的基本單元方塊是由D型正反器(D-type Flip-Flop)及互斥閘構成。由複數個D型正反器串接而成一移位暫存器(shift register)，並由互斥閘的配置位置，決定一LFSR的特徵多項式(characteristic polynomial)。第1a及1b圖架構的特徵多項式的通式可以下列公式代表之：

$$g(x) = g_n x^n + g_{n-1} x^{n-1} + \dots + g_0 x^0$$

實務上，可利用上述通式，設計所想要的任何LFSR多項式電路。例如，第2a圖顯示一特徵多項式 $g(x) = x^4 + x^3 + 1$ 的外互斥閘式LFSR電路示意圖，其初始值設定為1。又，第2b圖顯示一特徵多項式 $g(x) = x^5 + x^3 + x + 1$ 的內互斥閘式LFSR電路示意圖，其初始值設定為0。

分析上述電路，不論所顯示的特徵多項式為何，互斥閘的位置，可決定特徵多項式的表示式(representation)。據此，將一檢驗圖案，例如第2b圖中的"01010001"(即，檢驗圖案 $= x + x^3 + x^7$)，輸入至移位暫存器後，若其輸出餘數不等於一預期圖案，在此預期圖案應為 $1 + x^2 + x^3$ 時，則可根據所接收的輸出圖案，反推回去，得到一不同於原特徵多項式的錯誤表示式，檢試此錯誤表示式的互斥閘位置，即可得知連線狀態及相關資訊。上述輸



五、發明說明 (5)

出圖案可利用LFSR的遞迴特點(recursive feature)，使得LFSR運作在某個固定的序列狀態下而得，可以下式表示：

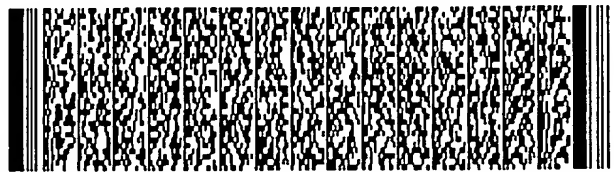
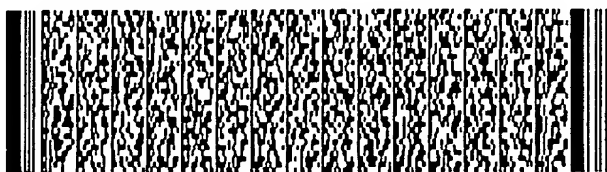
$$G(x) = \frac{\sum_{i=1}^n g_i x^i (a_{-i} x^{-i} + \dots + a_{-1} x^{-1})}{g(x)},$$

其中， $G(x)$ 係產生的圖案； a_{-i} 係正反器 D_i 的初始狀態(the initial state of flip-flop D_i)； $g(x)$ 係特徵多項式(characteristic polynomial)；而且，當參數 g_i 為1時，表示互斥閘(XOR Gate)存在於連結中，反之，則無連結。

據此，檢查特定圖案是否正確，即可達到匯流排及連線是否正常的測試目的。下列另舉一範例，其具有一特徵多項式 $g(x) = 1 + x + x^2 + x^3$ ，以進一步說明本發明測試電路及測試方法。

第3a圖顯示一本發明測試電路的示意圖。在第3a圖中，本測試電路主要包含：二場式可程式閘陣列元件(FPGA)31及32、二互斥閘33、複數個匯流排34、場式可程式閘陣列元件(FPGA)的複數個接腳35、一輸出接腳36、一輸入接腳37及一移位暫存器38。其中，移位暫存器38是由複數個D型正反器串接而成。

如第3a圖所示，這個驗證的方法就是在兩顆FPGA 31、32間，建立起一LFSR多項式電路(linear feedback

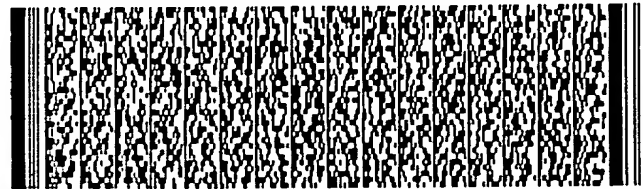
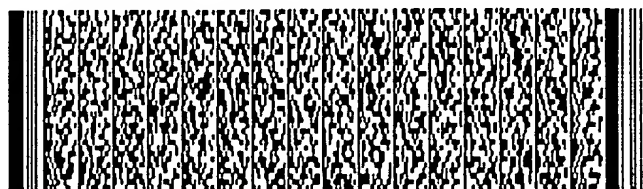


五、發明說明 (6)

shift register, polynomials circuit), 其間的連線就是兩FPGA間的匯流排34。簡單的說, 就是利用多項式除法的特點, 再建構好相關的電路後, 自輸入接腳37輸入一固定圖案IN至移位暫存器38, 再檢驗自移位暫存器38的輸出接腳36輸出。當匯流排連線中的其中一條未正確連接或斷線時, 會使電路形成一缺項多項式(互斥閘特性)。例如, 當經輸入接腳輸入一檢驗圖案"1111"後, 發現其圖案OUT的輸出錯誤。因此, 利用上述公式 $G(x)$ 反推回去, 求取 $g(x)$, 發現第3a圖的輸出特徵多項式變成第3b圖所示的 $g(x)=1+x^2+x^3$ 時, 由於多項式電路已知, 輸入圖案IN也是已知, 因此, 可以很容易的知道有問題的線為一次項 x 所在位置上的連線。也由於多項式除法, 可以在匯流排34上, 不定期的傳輸0或1的值, 雷同於一般的匯流排傳輸, 因此, 當時脈(clock)速度變化時, 從相對應的輸出情況, 也可以得知匯流排的速度。另外, 如果發生串音現象(cross talk)時, 會有不相符合的情形間隙產生, 所以也可被觀察到。

第4a圖顯示另一本發明測試電路的示意圖。在第4a圖中, 本測試電路主要包含: 二場式可程式閘陣列元件(FPGA)31及32、三互斥閘43、複數個匯流排34、場式可程式閘陣列元件(FPGA)的複數個接腳35、一輸出接腳36、一輸入接腳37及一移位暫存器38。其中, 移位暫存器38是由複數個D型正反器串接而成。

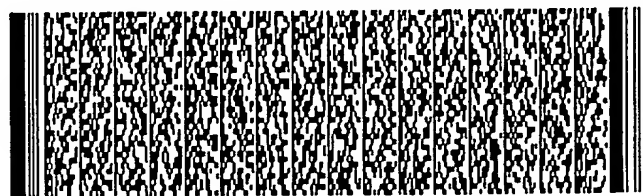
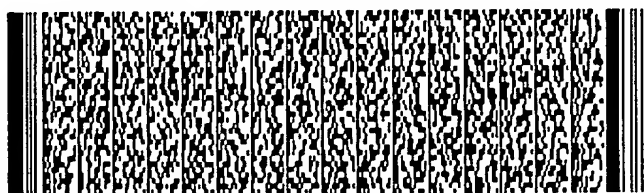
如第4a圖所示, 比較於第3a圖使用外互斥閘式33的



五、發明說明 (7)

LFSR 多項式電路結構，這個驗證的方法是利用內互斥閘；43 來建立一 LFSR 多項式電路(linear feedback shift register, polynomials circuit)，其間的連線仍是兩 FPGA 間的匯流排 34。簡單的說，就是根據一預置多項式，將一互斥閘配置於 D 型正反器前，該互斥閘的輸出則連接至下一階的 D 型正反器的輸出端，據此，會使用到三個互斥閘 43 來完成上述 LFSR 多項式電路。建構好的電路，自輸入接腳 37 輸入一固定圖案 IN 至移位暫存器 38，再檢驗自移位暫存器 38 的輸出接腳。當匯流排連線中的其中一條未正確連接的話，也會使電路形成一缺項多項式(xor gate 特性)。例如，當經輸入接腳輸入一檢驗圖案"1111"後，發現其輸出圖案 OUT 發生錯誤。因此，利用上述公式 $G(x)$ 反推回去，求取 $g(x)$ ，發現第 4a 圖的輸出特徵多項式變成第 4b 圖所示的 $g(x) = 1 + X + X^3$ 時，由於多項式電路已知，輸入圖案 IN 也是已知，因此，可以很容易的知道有問題的線為二次項 x 所在位置上的連線。同樣地，也由於多項式除法，可以在匯流排 34 上，不定期的傳輸 0 或 1 的值，雷同於一般的匯流排傳輸，因此，當時脈(clock)速度變化時，從相對應的輸出情況，也可以得知匯流排的速度。另外，如果發生串音現象(cross talk)時，會有不相符合的情形間隙產生，所以也可被觀察到。

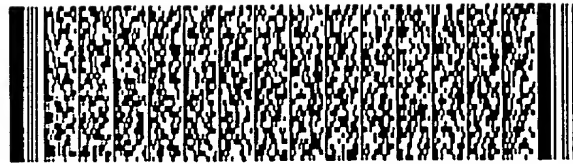
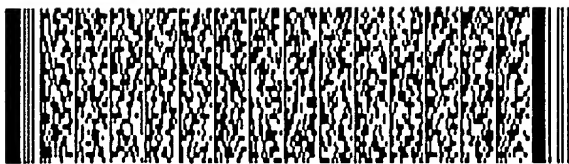
因此，本發明測試方法如第 5 圖所示，主要包含：根據一預置的線性回饋移位暫存器(linear feedback shift register, LFSR)多項式，先在一第一場式可程式閘陣列



五、發明說明 (8)

元件(field programmable gate array, FPGA)上，配置一第一連接電路(S1)；接著，在一第二場式可程式開陣列元件上，配置一第二連接電路(S2)，其中，該第二連接電路的接腳以對應的方式與該第一連接電路的接腳相連接，如使用一對一平行配置方式，以及，上述連接電路之一包含互斥閘(XOR gate)而另一連接電路包含一移位暫存器(shift register)，或者上述連接電路之一同時包含互斥閘(XOR gate)及一移位暫存器(shift register)；輸入一檢驗圖案(pattern)至該移位暫存器(S3)，以進行測試並產生一特定圖案，自該移位暫存器的輸出接腳輸出；檢測該特定圖案(S4)，以得知該第一及第二連接電路的連線狀態及相關資訊。上述移位暫存器是使用複數個D型正反器串接而成。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟知此技術之人士，在不脫離本發明之精神及範圍內，當可做更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

為讓本發明之上述及其它目的、特徵、與優點能更顯而易見，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第1a圖顯示一外互斥閘式的線性回饋移位暫存器(linear feedback shift register, LFSR)多項式(polynomial)的電路架構示意圖。

第1b圖顯示一內互斥閘式的線性回饋移位暫存器(linear feedback shift register, LFSR)多項式(polynomial)的電路架構示意圖。

第2a圖係根據本發明第1a圖顯示一外互斥閘式LFSR電路範例。

第2b圖係根據本發明第1b圖顯示一內互斥閘式LFSR電路範例。

第3a圖係一整合本發明測試電路的外互斥閘式LFSR電路示意圖。

第3b圖係根據本發明第3a圖電路的一實施例。

第4a圖係一整合本發明測試電路的內互斥閘式LFSR電路示意圖。

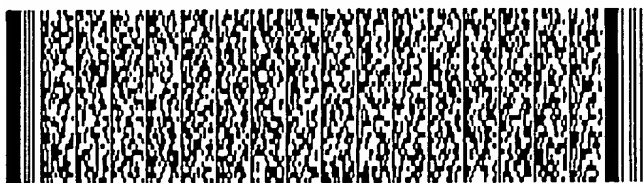
第4b圖係根據本發明第4a圖電路的一實施例。

第5圖係一本發明測試流程圖。

[符號說明]

31、32～場式可程式閘陣列元件(FPGA)；

33、43～互斥閘；



圖式簡單說明

34 ~ 匯流排；

35 ~ 場式可程式閘陣列元件(FPGA)的接腳；

36 ~ 測試電路的輸出接腳；

37 ~ 測試電路的輸入接腳；

38、 $D_0 \sim D_{1r1}$ ~ 暫存器。



六、申請專利範圍

1. 一種直接在電路板上執行場式可程式閘陣列元件間的連線測試的方法，包括下列步驟：

根據一預置的線性回饋移位暫存器(linear feedback shift register, LFSR)多項式，在一第一場式可程式閘陣列元件(field programmable gate array, FPGA)上，配置一第一連接電路；

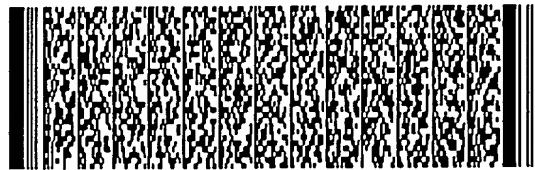
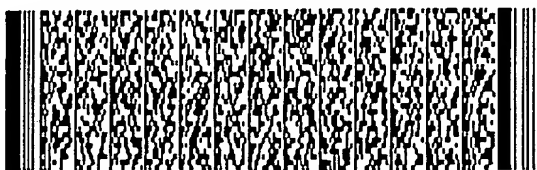
根據該預置的線性回饋移位暫存器(linear feedback shift register, LFSR)多項式，在一第二場式可程式閘陣列元件上，配置一包含一移位暫存器的第二連接電路，其中，該第二連接電路的接腳相對應於該第一連接電路的接腳相連接；

輸入一檢驗圖案(pattern)至該移位暫存器，以進行測試並產生一特定圖案，自該移位暫存器的輸出接腳輸出；及

檢測該特定圖案，以得知該第一及第二連接電路的連線狀態及相關資訊。

2. 如申請專利範圍第1項之直接在電路板上執行場式可程式閘陣列元件間的連線測試的方法，其中，該移位暫存器是使用複數個D型正反器串接而成。

3. 如申請專利範圍第1項之直接在電路板上執行場式可程式閘陣列元件間的連線測試的方法，其中，若使用一外互斥閘型LFST電路來實現該預置的線性回饋移位暫存器(linear feedback shift register, LFSR)多項式時，則該互斥閘係配置於該第一連接電路。



六、申請專利範圍

4. 如申請專利範圍第1項之直接在電路板上執行場式可程式閘陣列元件間的連線測試的方法，其中，若使用一內互斥閘型LFST電路來實現該預置的線性回饋移位暫存器(linear feedback shift register, LFSR)多項式時，則該互斥閘係配置於該第二連接電路。

5. 如申請專利範圍第1項之直接在電路板上執行場式可程式閘陣列元件間的連線測試的方法，其中，該檢驗圖案及該特定圖案為一多項式形式之關係。

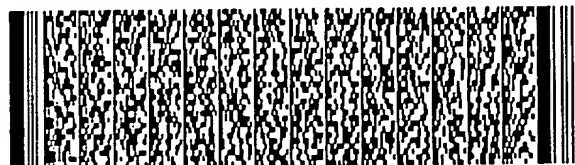
6. 如申請專利範圍第1項之直接在電路板上執行場式可程式閘陣列元件間的連線測試的方法，其中，相關資訊包含匯流排速度及串音現象(cross talk)。

7. 一種直接在電路板上執行場式可程式閘陣列元件間的連線測試的電路，包括：

一第一連接電路，連接至一第一場式可程式閘陣列元件(field programmable gate array, FPGA)；及

一包含一移位暫存器的第二連接電路，連接於一第二場式可程式閘陣列元件(field programmable gate array, FPGA)及該第一連接電路之間；

其中，該第一連接電路及該第二連接電路係根據一預置的線性回饋移位暫存器(linear feedback shift register, LFSR)多項式(polyomial)來配置，以輸入一檢驗圖案至該移位暫存器，並進行測試，因而產生一特定圖案，接著再將該特定圖案自該移位暫存器的輸出接腳輸出，藉此得知該第一及第二連接電路的連線狀態及相關資



六、申請專利範圍

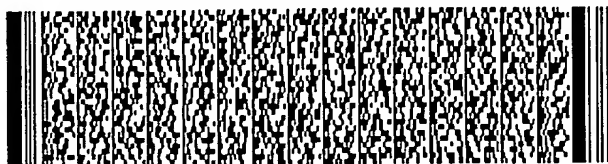
訊。

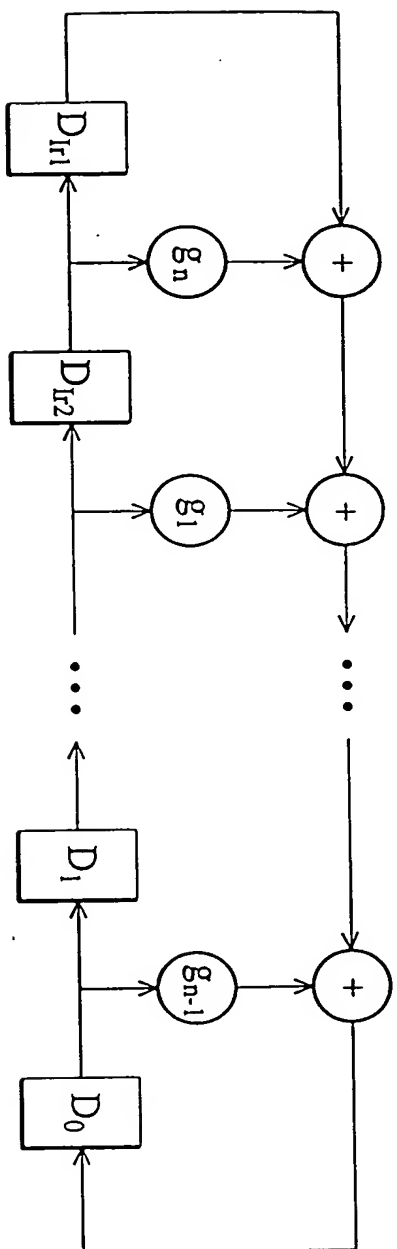
8. 如申請專利範圍第7項之直接在電路板上執行場式可程式閘陣列元件間的連線測試的電路，其中，該移位暫存器是使用複數個D型正反器串接而成。

9. 如申請專利範圍第1項之直接在電路板上執行場式可程式閘陣列元件間的連線測試的電路，其中，若使用一外互斥閘型LFST電路來實現該預置的線性回饋移位暫存器(linear feedback shift register, LFSR)多項式時，則該第一連接電路包含互斥閘。

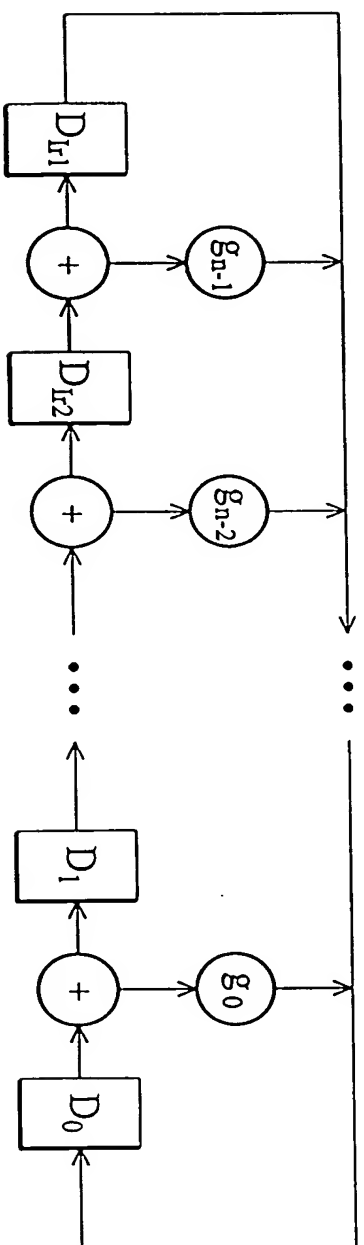
10. 如申請專利範圍第1項之直接在電路板上執行場式可程式閘陣列元件間的連線測試的電路，其中，若使用一內互斥閘型LFST電路來實現該預置的線性回饋移位暫存器(linear feedback shift register, LFSR)多項式時，則該第二連接電路包含互斥閘。

11. 如申請專利範圍第1項之直接在電路板上執行場式可程式閘陣列元件間的連線測試的電路，其中，該檢驗圖案及該特定圖案為一多項式形式之關係。

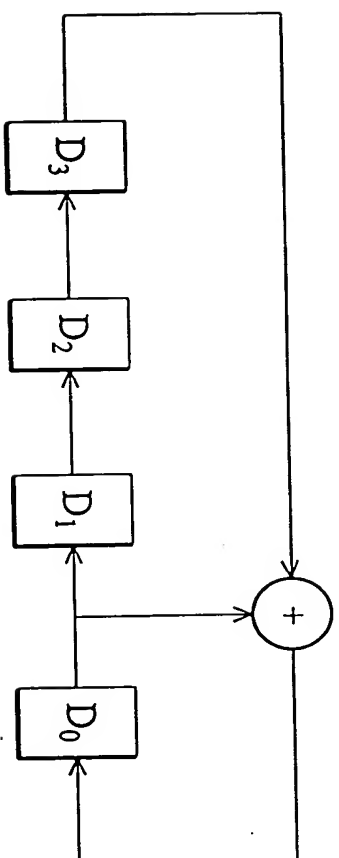




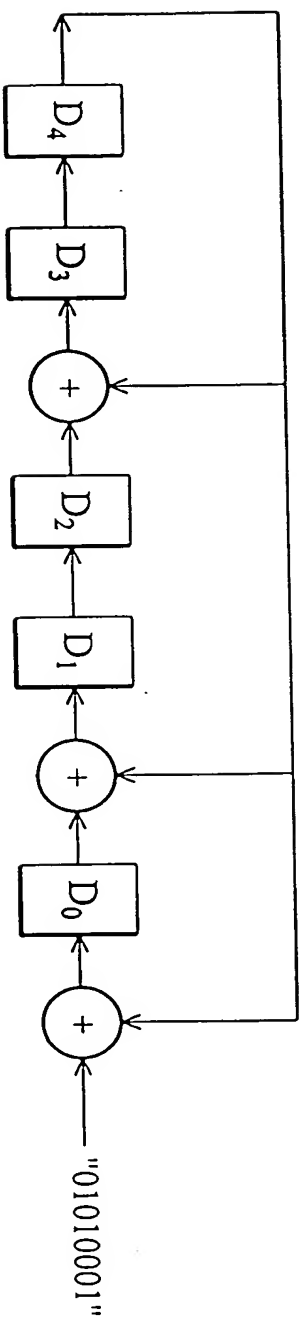
第1a圖



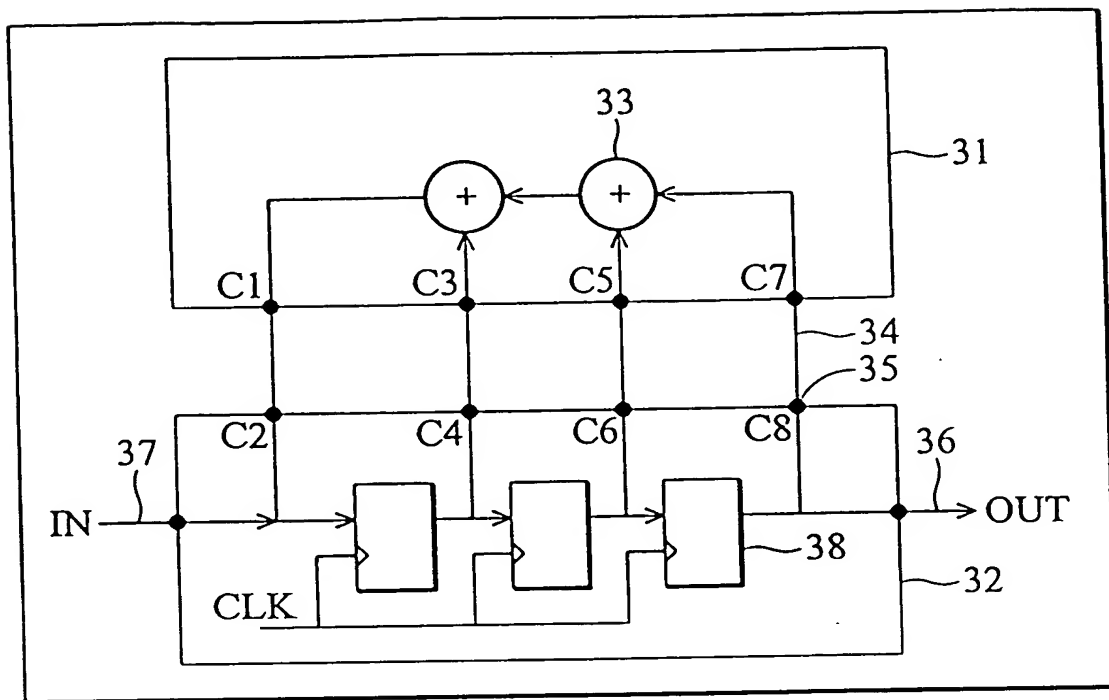
第1b圖



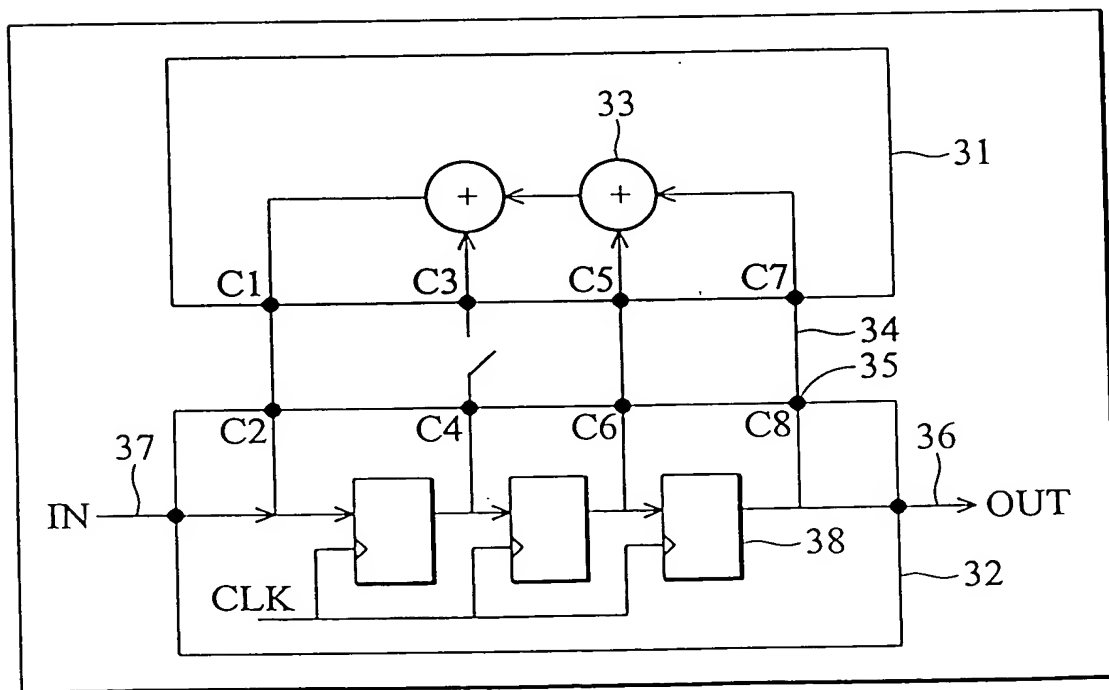
第2a圖



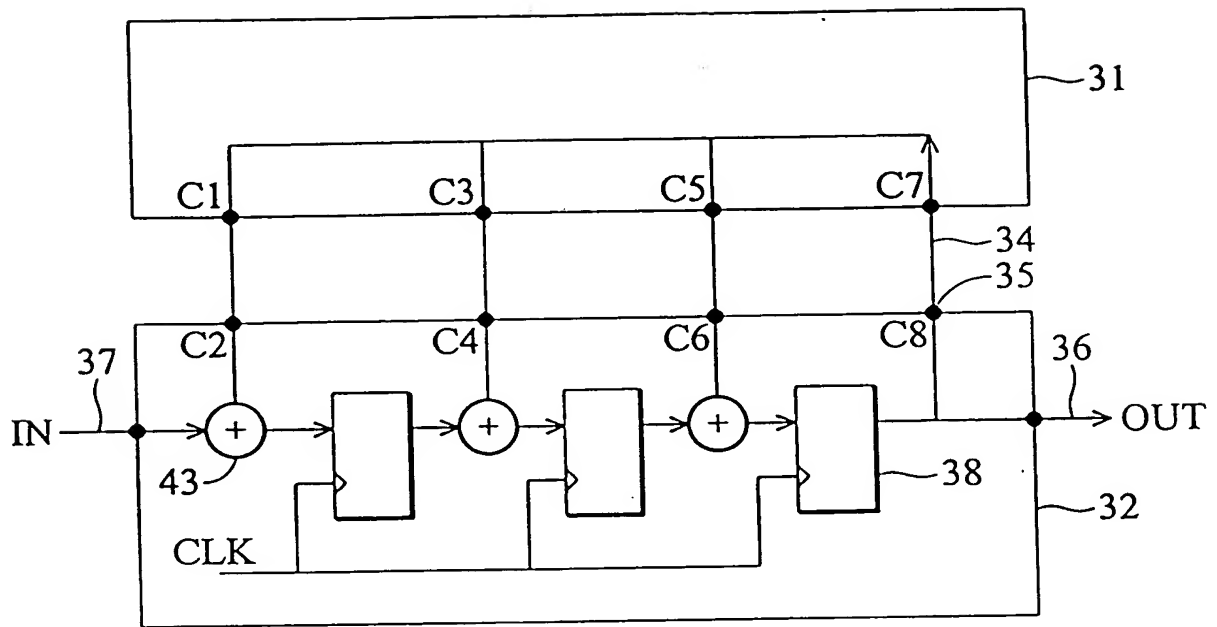
第2b圖



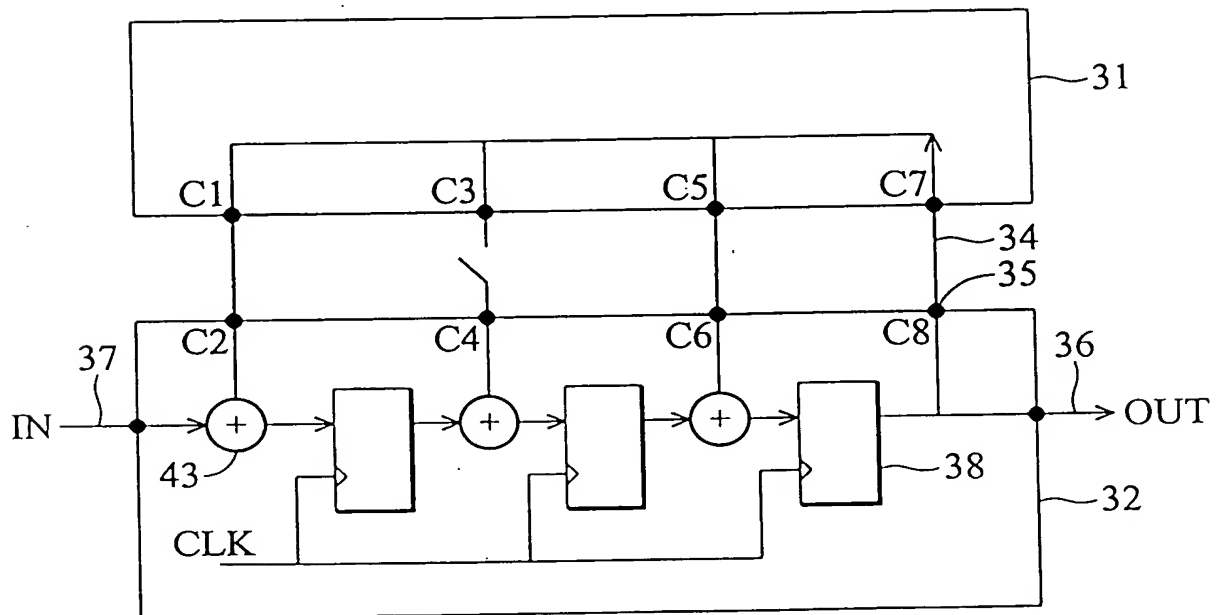
第3a圖



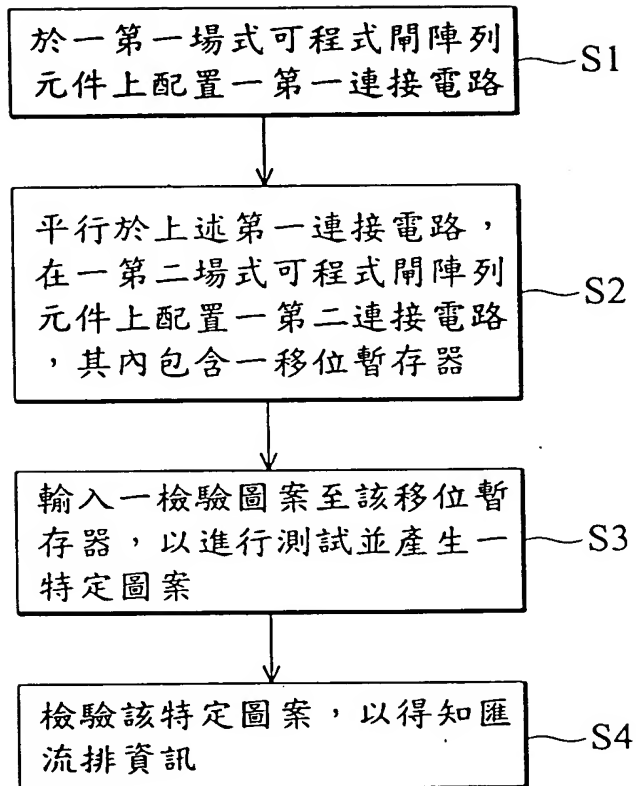
第3b圖



第 4a 圖

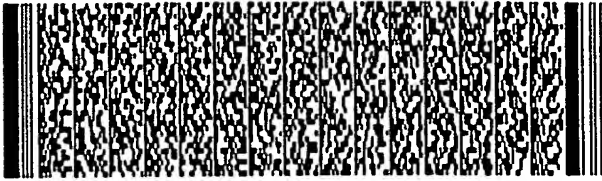


第 4b 圖

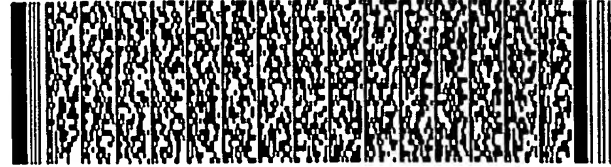


第 5 圖

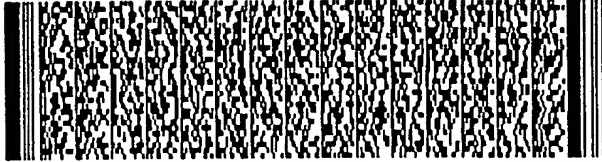
第 1/17 頁



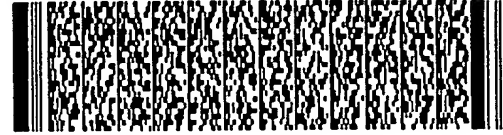
第 2/17 頁



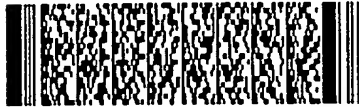
第 2/17 頁



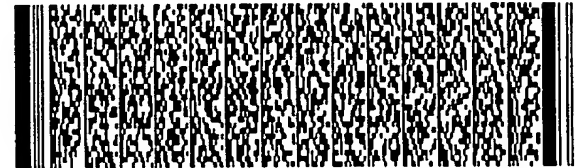
第 3/17 頁



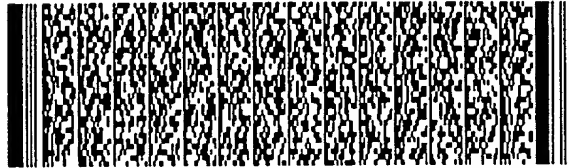
第 4/17 頁



第 5/17 頁



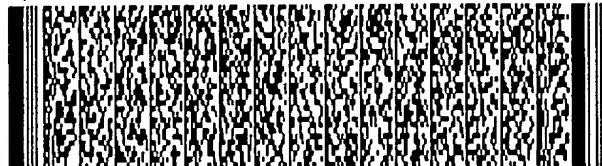
第 5/17 頁



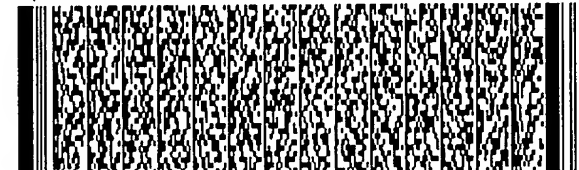
第 6/17 頁



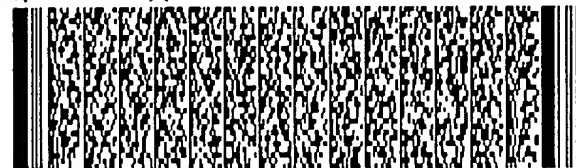
第 6/17 頁



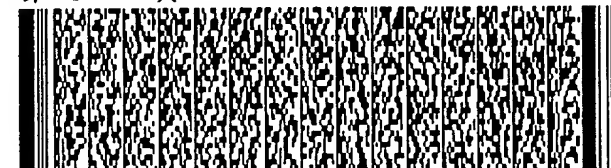
第 7/17 頁



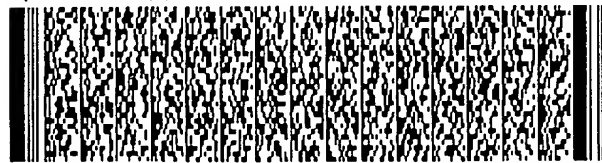
第 7/17 頁



第 8/17 頁



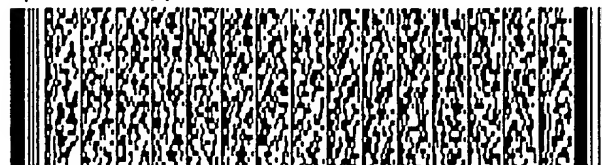
第 8/17 頁



第 9/17 頁



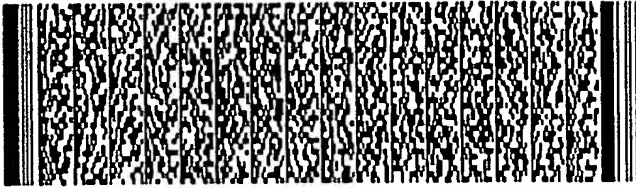
第 9/17 頁



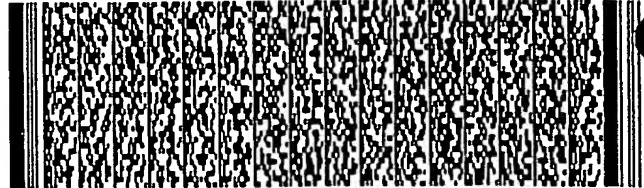
第 10/17 頁



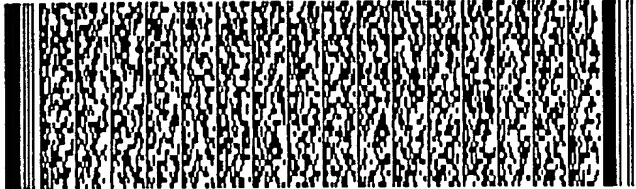
第 10/17 頁



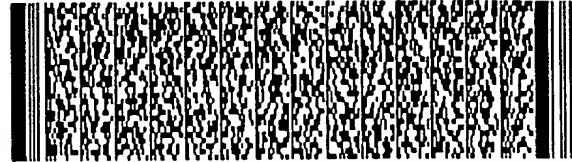
第 11/17 頁



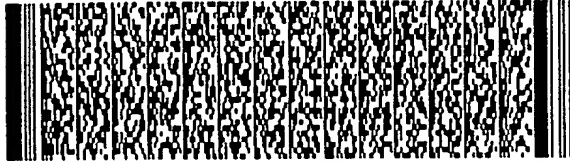
第 11/17 頁



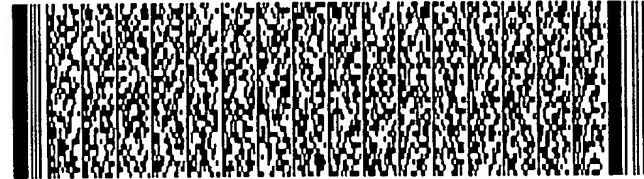
第 12/17 頁



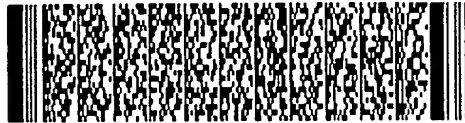
第 12/17 頁



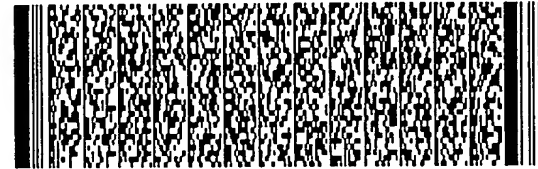
第 13/17 頁



第 14/17 頁



第 15/17 頁



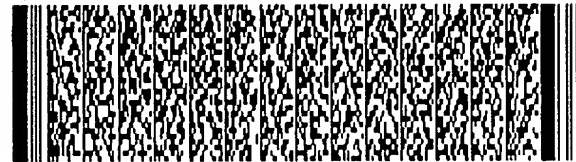
第 15/17 頁



第 16/17 頁



第 16/17 頁



第 17/17 頁

